

18

Searching PAJ

1/1 ページ

Cite No. 4.

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 09-275164  
 (43) Date of publication of application : 21.10.1997

(51) Int.CI

H01L 23/12

(21) Application number : 08-280790  
 (22) Date of filing : 23.10.1996

(71) Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (72) Inventor : SAKAI HIROYUKI  
 IKEDA YOSHITO  
 NISHI KATSUNORI  
 INOUE KAORU  
 YOSHIDA TAKAYUKI

(30) Priority

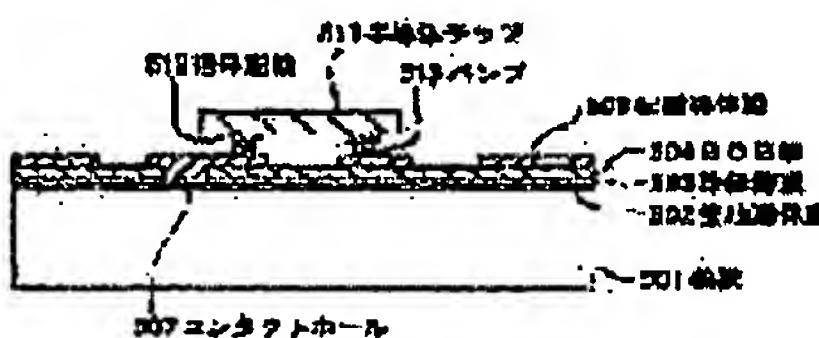
Priority number : 08 23584 Priority date : 08.02.1995 Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device high in reliability and low in an insertion loss using a thick film BCB film as a dielectric film.

SOLUTION: On a substrate 501, there are sequentially formed a ground conductive film 502; an insulation thin film 503 and a BCB film 504. On the BCB film 504, a wiring conductive film 508 is formed, and a part of the wiring conductive film 508 is connected in a flip-flop manner to a semiconductor chip 511. That is, a signal wire 512 of the semiconductor chip 511 is connected via a bump 513. As MFiC using the BCB film 504 as a dielectric film forms the ground insulation thin film 503 of the BCB film 504, a close adhesion of the BCB film 504 to the ground is improved, an isolation of the BCB film 504 can be prevented and a semiconductor device high in reliability can be realized.



## LEGAL STATUS

[Date of request for examination] 28.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3208073

[Date of registration] 06.07.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998-2003 Japan Patent Office

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAACoqFPDA409275164..> 2005/12/14

(5)

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-275164

(43)公開日 平成9年(1997)10月21日

(51)Int CL<sup>9</sup>  
H 01 L 23/12

機別記号

序内整理番号

F 1

H 01 L 23/12

技術表示箇所

N

Q

特許請求 未請求 請求項の数28 O.L. (全 17 頁)

(21)出願番号 特願平8-280790  
 (22)出願日 平成8年(1996)10月23日  
 (31)優先権主張番号 特願平8-23584  
 (32)優先日 平8(1996)2月9日  
 (33)優先権主張国 日本 (JP)

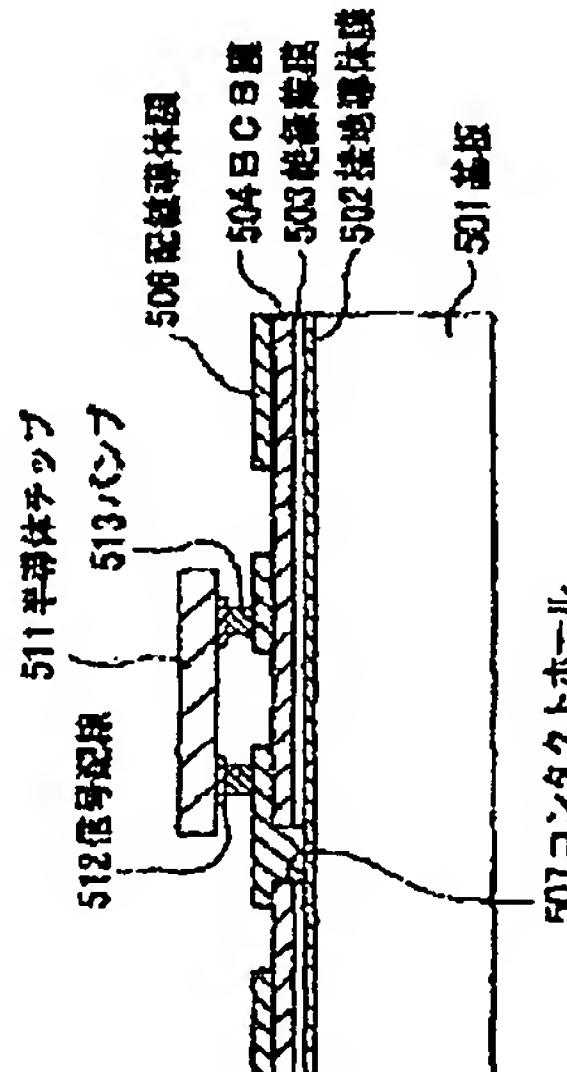
(71)出願人 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (72)発明者 佐井 審之  
 大阪府高槻市幸町1番1号 松下電子工業  
 株式会社内  
 (72)発明者 池田 錠人  
 大阪府門真市大字門真1006番地 松下電器  
 産業株式会社内  
 (72)発明者 西井 勝則  
 大阪府高槻市幸町1番1号 松下電子工業  
 株式会社内  
 (74)代理人 弁理士 前田 弘

最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 厚膜のBCB膜を誘電体膜に用いた信頼性の高いかつ挿入損失の低い半導体装置を提供する。  
 【解決手段】 基板501上に、接地導体膜502と、絶縁導体膜503と、BCB膜504とが順次形成されている。BCB膜504の上には、配線導体膜506が形成され、配線導体膜506の一部に、半導体チップ511がフリップチップ接続されている。すなわち、バンブ513を介して半導体チップ511の信号配線512が接続されている。BCB膜504を誘電体膜に用いたこのMFIICは、BCB膜504の下地に絶縁導体膜503を形成しているので、BCB膜504の下地との密着性が改善され、BCB膜504の剥がれを防止することができ、信頼性の高い半導体装置を実現できる。



(2)

特開平9-275164

## 【特許請求の範囲】

【請求項1】 基板及びその上に形成された誇電体膜を有する配線基板を備えた半導体装置において、上記誇電体膜は、上記基板の一部に形成されたベンゾシクロブテン膜（以下、BCB膜と略記する）と、上記BCB膜の上下のうち少なくともいずれか一方にかつ上記BCB膜に接して形成された絶縁薄膜とにより構成されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記絶縁薄膜は、盛化シリコン、酸化シリコン及び酸溶化シリコンのうち少なくともいずれか1つにより構成されていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、上記BCB膜の厚みは、 $10\mu m$ よりも厚いことを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、上記絶縁薄膜を挟んで上記BCB膜に対抗する側に形成された導体膜をさらに備えていることを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、上記導体膜は、上記基板に接して形成された下地導体膜であり、上記BCB膜は上記下地導体膜の上方に形成されており、

上記BCB膜及び上記絶縁薄膜を挟んで上記下地導体膜に対抗する側に形成された配線導体膜をさらに備え、上記下地導体膜、BCB膜、絶縁薄膜及び配線導体膜によりマイクロストリップ線路が構成されていることを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、トランジスタを有する半導体チップと、上記半導体チップの表面上に形成され上記トランジスタに接続される信号配線と、上記信号配線及び上記配線導体膜のうち少なくともいずれか一方の上に形成されたバンプとをさらに備え、上記半導体チップの上記信号配線と上記配線導体膜とは、上記バンプを介して接続されていることを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、上記絶縁薄膜は、少なくとも上記BCB膜と上記配線導体膜との間に形成されており、

上記絶縁薄膜の上に形成された薄膜抵抗体をさらに備えていることを特徴とする半導体装置。

【請求項8】 請求項6記載の半導体装置において、上記絶縁薄膜は、少なくとも上記BCB膜と配線導体膜との間に形成されており、

上記配線導体膜の一部には、外部の部材にワイヤーを介して接続されるパッド領域が形成されていることを特徴とする半導体装置。

【請求項9】 請求項6記載の半導体装置において、キャバシタをさらに備え、

上記絶縁薄膜は、少なくとも上記BCB膜と配線導体膜との間に形成されており、上記絶縁薄膜とBCB膜との間の一部に介設された上記キャバシタの下部電極膜をさらに備え、上記配線導体膜は、上記下部電極膜の上方では上記キャバシタの上部電極として機能し、上記絶縁薄膜は、上記下部電極膜と上記配線導体膜との間では上記キャバシタの容量部として機能する一方、上記下部電極膜の上方以外の領域まで延びて上記配線導体膜と上記BCB膜との間に介在していることを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置において、上記配線導体膜の一部に形成され、外部の部材にワイヤーを介して接続されるパッド領域をさらに備え、上記パッド領域は、上記キャバシタの上部電極となる部分から $50\mu m$ 以上離れていることを特徴とする半導体装置。

【請求項11】 請求項9記載の半導体装置において、上記配線導体膜のうち上記キャバシタの上部電極以外の領域には、上記絶縁薄膜に形成されたコンタクトホールを介して上記下部電極膜と接続される引き出し部が設けられており、

上記配線導体膜の上記引き出し部の一部には、外部の部材にワイヤーを介して接続されるパッド領域が形成されていることを特徴とする半導体装置。

【請求項12】 基板と、上記基板の上に形成された下地導体膜と、上記下地導体膜の少なくとも一部の上に形成されたBCB膜と、上記BCB膜の上に形成され、上記下地導体膜及び上記BCB膜と共にマイクロストリップ線路を構成する配線導体膜とを備えるとともに、上記配線導体膜は、上記基板上の上記BCB膜で覆われていない領域まで延びており、この領域には、外部の部材にワイヤーを介して接続されるパッド領域が形成されていることを特徴とする半導体装置。

【請求項13】 請求項12記載の半導体装置において、上記下地導体膜の大半部は接地導体膜として機能し、上記下地導体膜の一部は、上記大半部とは切り離されていて、この一部の上に上記配線導体膜のパッド領域が接して形成されていることを特徴とする半導体装置。

【請求項14】 半導体により構成される基板と、上記基板上に形成され絶縁性材料からなる粒子分散と、上記基板の上に形成された下地導体膜と、上記下地導体膜の少なくとも一部の上かつ上記粒子分散を除く領域の上に形成されたBCB膜と、上記BCB膜の上に形成され、上記下地導体膜及び上記

(3)

特開平9-275164

BCB膜と共にマイクロストリップ線路を構成する配線導体膜とを備えるとともに、上記配線導体膜は上記素子分離上の領域まで延びており、この領域には、外部の部材にワイヤーを介して接続されるパッド領域が形成されていることを特徴とする半導体装置。

【請求項15】 請求項1, 5, 6, 12又は14記載の半導体装置において、上記基板は、Si又はガラスにより構成されていることを特徴とする半導体装置。

【請求項16】 請求項6, 7, 8, 9, 10又は11記載の半導体装置において、上記半導体チップは、GaAsを含む化合物半導体により構成されていることを特徴とする半導体装置。

【請求項17】 請求項6, 7, 8, 9, 10又は11記載の半導体装置において、上記半導体チップは、ヘテロ接合を有する半導体により構成されていることを特徴とする半導体装置。

【請求項18】 請求項6, 7, 8, 9, 10又は11記載の半導体装置において、上記トランジスタは、導ミリ波～ミリ波で使用する高周波用トランジスタであることを特徴とする半導体装置。

【請求項19】 ウエハ状の基板と、上記基板の上に形成された下地導体膜と、上記下地導体膜の少なくとも一部の上に形成されたBCB膜と、上記BCB膜の上に形成され、上記下地導体膜及び上記BCB膜と共にマイクロストリップ線路を構成する配線導体膜とを備えるとともに、上記基板を複数の基板チップに分割するためのスクライブ予定領域には、上記BCB膜が存在しておらず、上記BCB膜は上記各基板チップごとに分割されていることを特徴とする半導体装置。

【請求項20】 基板上に下地導体膜を形成する第1の工程と、上記下地導体膜の少なくとも一部の上にBCB膜を形成する第2の工程と、上記BCB膜の上に配線導体膜を形成する第3の工程と、上記第2の工程の前及び後の少なくともいずれか一方のときに、上記BCB膜に接する絶縁薄膜を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項21】 請求項20記載の半導体装置の製造方法において、上記第2の工程の後上記第3の工程の前に、上記BCB膜及び上記絶縁薄膜の所望の位置に上記下地導体膜の一部を露出させるためのコンタクトホールを形成する工程をさらに備え、上記第3の工程では、上記配線導体膜の一部を上記コン

タクトホール内に埋め込むように上記配線導体膜を形成することを特徴とする半導体装置の製造方法。

【請求項22】 請求項20記載の半導体装置の製造方法において、

上記第1の工程では、上記下地導体膜を所望のパターンに形成することを特徴とする半導体装置の製造方法。

【請求項23】 請求項20記載の半導体装置の製造方法において、

上記第2の工程の後上記第3の工程の前に、上記BCB膜及び上記絶縁薄膜の所望の位置に上記下地導体膜の一部を露出させるためのコンタクトホールを形成する工程と、

上記コンタクトホール内に金属を埋め込んで金属埋め込み層を形成する工程とをさらに備え、

上記第3の工程では、上記配線導体膜が上記金属埋め込み層に接続されるように上記配線導体膜を形成することを特徴とする半導体装置の製造方法。

【請求項24】 請求項23記載の半導体装置の製造方法において、

上記金属埋め込み層を形成する工程では、上記金属埋め込み層を上記コンタクトホールに露出した下地導体膜を種金属とした選択メッキ法で形成することを特徴とする半導体装置の製造方法。

【請求項25】 請求項20, 21, 22, 23又は24記載の半導体装置の製造方法において、

上記絶縁薄膜を形成する工程では、上記絶縁薄膜を塗化シリコン、酸化シリコン及び酸塗化シリコンのうち少なくともいずれか1つにより構成することを特徴とする半導体装置の製造方法。

【請求項26】 請求項20, 21, 22, 23又は24記載の半導体装置の製造方法において、

上記第3の工程では、上記配線導体膜を多層金属配線層として形成することを特徴とする半導体装置の製造方法。

【請求項27】 請求項20, 21, 22, 23又は24記載の半導体装置の製造方法において、

トランジスタと該トランジスタに接続される信号配線とを有する半導体チップを準備する工程と、

上記配線導体膜及び上記信号配線のうち少なくともいずれか一方の上の所望の位置にパンプを形成する工程と、上記パンプを介して上記半導体チップの上記信号配線と上記配線導体膜とを接続する工程とをさらに備えていることを特徴とする半導体装置の製造方法。

【請求項28】 請求項20, 21, 22, 23, 24, 25, 26又は27記載の半導体装置の製造方法において、

上記基板を複数の基板チップに分割するためのダイシング工程をさらに備え、

上記第2の工程では、上記ダイシング工程におけるスクライブ予定領域には上記BCB膜が存在しないように上

記BCB膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関するもので、特に準ミリ波～ミリ波帯で使用する高周波半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】近年、情報通信分野における技術の進展は著しく、通信機器が扱う周波数帯もマイクロ波帯からミリ波帯へとより高い周波数への展開が積極的に進められている。例えばオフィース内の無線LANや自動車衝突防止装置には60GHz帯が割り当てられようとしている。また、システムの高周波化に伴い、用いられるデバイスの高速化、高周波化も著しく、最近ではヘテロ接合化合物半導体トランジスタなどで100GHzを越えるカットオフ周波数を持つデバイスが実現されている。ところが、このようなマイクロ波からミリ波といった高周波になると、トランジスタの特性はもちろんのこと、高周波回路実現のためには実装方法が新たに大きな問題となる。たとえば、実装時に生じる寄生容量や寄生インダクタンスの影響は周波数に比例して大きくなるため、高周波になればなるほどこれら寄生リアクタンス成分を低減する必要がある。また、マイクロ波～ミリ波の周波数帯を扱う通信機器においては、回路を構成する部材間に存在する接続要素等の寸法が信号の波長と近づくために、設計時には接続要素の物理的寸法を十分考慮する必要が生じる。また、当然のことながら、受動素子や線路などの回路部品には粗めて正確な精度が要求される。

【0003】そこで、このような高精度の高周波特性を実現すべく、インダクタ、キャパシタや抵抗などの受動素子や伝送線路をトランジスタと同じ半導体基板上に形成し、半導体プロセスで一括製作するMMIC (Monolithic Microwave Integrated Circuit) が注目され各所で盛んに研究開発されている。しかし、MMICでは、受動素子例えば高周波トランジスタを作製するための高価な基板（化合物半導体基板等）の上にチップ面積の大部分を占める受動素子や伝送線路を同時に作製するため、コスト高になるという大きな問題がある。本来、安価な基板上に作製できる受動素子や伝送線路のコストに高周波デバイスと等しいコストがかかるからである。

【0004】また、MMIC全体の歩留まりが受動素子であるトランジスタの歩留まりに大きく依存するため、本来作製が容易な受動素子や伝送線路の高歩留まりというメリットが活かせない。さらに、受動素子、受動素子、伝送線路等を一括して作製するため、製作後に個々の部分の性能を確認することができない。このことは、極めて精密な設計技術が必要であることを意味しているが、現実には準ミリ波からミリ波の高周波領域において

で、精密なインピーダンス設計を行うことは困難である。このこともMMICのコスト高の要因となる。

【0006】そこで、受動回路および伝送線路を有する基板上に能動素子であるトランジスタをフリップチップボンディングによって接続するMFIC (Microwave F) ic chip Integrated Circuit) が新たに提案されている（信学技法、ED94-134, MM94-121, ICD94-196 (1995-01)、第37～第42頁）。

【0006】この方法によれば受動回路および伝送線路部を別々に作製するため粗めて安価に作製できる上、高周波トランジスタの接続前に個々の部品が検査できるのでIC全体として高い歩留まりが確保できる。

【0007】図15は提案されている従来のMFICの断面図である。図15において、符号と部材との関係は以下の通りである。2001はS1あるいはガラスからなる基板、2002は接地導体膜、2003は層間絶縁膜、2004および2005は配線導体膜、2006は配線導体膜2004と接地導体膜2002を接続するためのコンタクトホールで、これらの部材によって受動素子や伝送線路を含んだ配線基板が実現されている。ここで、例えば配線導体膜2005は層間絶縁膜2003を接地導体膜2002で挟んだMIM型のキャパシタを形成しており、接地が必要な配線は任意の場所でコンタクトホール2006を介して接地導体膜2002に接続される。

【0008】また、2007はトランジスタが形成された半導体チップで、2008はこのチップ上の信号配線であり、パンプ2009を介して配線基板上のマイクロストリップ線路とフリップチップ接続され、MFICが形成される。

【0009】

【発明が解決しようとする課題】ところで、マイクロストリップ線路の誘電体膜としては一般的に誘電率の小さいSiO<sub>2</sub>膜が用いられるが、その場合、Auで構成される下地の接地導体膜の上に10μmを越えるような厚いSiO<sub>2</sub>膜を成長させるのが困難である。ところが、例えば特性インピーダンス50Ωの線路を形成する場合、この厚みのSiO<sub>2</sub>膜では線路幅Wと膜厚hとはほぼW=2hで表される関係に設定されるので、SiO<sub>2</sub>膜が薄いとマイクロストリップ線路の線路幅Wを細く設定せざるを得ない。このため、線路の抵抗が大きくなり、導体損失つまり導体損が大きくなってしまう。しかも、SiO<sub>2</sub>膜は誘電損いわゆるタンデルタ (tan δ) が大きく、0.03程度である。このように、導体損及び誘電体損が大きいことから、マイクロストリップ線路を高周波信号が通過する際の損失が大きくなる。

【0010】そこで、誘電損失及び導体損失が小さく、かつ厚膜の形成が容易なBCB膜を誘電体膜として使用することにより、マイクロストリップ線路等の特性を改善することが考えられる。

【0011】しかるに、BCB膜を誘電体膜として用いると、工程中にBCB膜が接地導体膜から剥がれたり、配線導体膜がBCB膜から剥がれたり、BCB膜に亀裂が入ったり、熱変形が生じる等の問題があった。そこで、この原因について調査した結果、BCB膜と導体膜との密着性がよくないこと、BCB膜の耐熱性がよくないことなどによるものと推定された。

【0012】本発明は、斯かる問題に越みてなされたものであり、その目的は、BCB膜の優れた高周波特性を活かしつつ、その密着性や耐熱性が低いという難点を補う手段を講ずることにより、高周波特性の優れたかつ信頼性の高い半導体装置及びその製造方法を提供することにある。

### 【0013】

【課題を解決するための手段】上記課題を解決するために本発明が講じた手段は、まず、誘電体膜にBCB樹脂で構成される誘電体膜を用い、このBCB膜の上下いずれかに絶縁薄膜を設けることにより、BCB膜と接地導体膜の密着性を強化し、またBCB膜への熱衝撃応力を緩和することにある。

【0014】上記目的を達成するために、本発明では、請求項1～19に記載される第1～第6の半導体装置に関する手段と、請求項20～28に記載される第1、第2の半導体装置の製造方法に関する手段とを講じている。

【0015】本発明の第1の半導体装置は、基板及びその上に形成された誘電体膜を有する配線基板を備えた半導体装置であって、上記誘電体膜は、上記基板の一部に形成されたベンゾシクロブテン膜（以下、BCB膜と略記する）と、上記BCB膜の上下のうち少なくともいずれか一方にかつ上記BCB膜に接して形成された絶縁導膜とにより構成されている。

【0016】これにより、BCB膜を主としながら絶縁導膜を従とした積層膜によって、下方又は上方の導体膜に対する密着性や耐熱衝撃特性の優れた誘電体膜が得られる。したがって、この誘電体膜を利用した各種の半導体装置を得ることが可能となる。

【0017】請求項2に記載されるように、請求項1において、上記絶縁導膜は、疎化シリコン、酸化シリコン及び酸化シリコンのうち少なくともいずれか一方により構成されていることが好ましい。

【0018】これにより、導体膜に対する密着性が高く、かつ熱導電率が低いという疎化シリコン、酸化シリコン、酸化シリコンの特性を利用して、上述のようなBCB膜の難点を補うことができる。

【0019】請求項3に記載されるように、請求項1において、上記BCB膜の厚みは、10μmよりも厚いことが好ましい。

【0020】これにより、導体膜の小さい誘電膜が得られる。

【0021】請求項4に記載されるように、請求項1において、上記絶縁導膜を挟んで上記BCB膜に対抗する側に形成された導体膜をさらに備えることができる。

【0022】これにより、BCB膜と導体膜との密着性が高く、BCB膜の耐熱性の高い誘電体膜を利用したマイクロストリップ線路が得られることになる。

【0023】本発明の第2の半導体装置は、請求項5に記載されるように、請求項4において、上記導体膜は上記基板に接して形成された下地導体膜であり、上記BCB膜は上記下地導体膜の上方に形成されており、上記BCB膜及び上記絶縁導膜を挟んで上記下地導体膜に対抗する側に形成された配線導体膜をさらに備え、上記下地導体膜、BCB膜、絶縁導膜及び配線導体膜によりマイクロストリップ線路が構成されている。

【0024】これにより、BCB膜の密着性及び耐熱性が改善された誘電体膜及び導体膜の小さいマイクロストリップ線路が得られることになる。

【0025】請求項6に記載されるように、請求項5において、トランジスタを有する半導体チップと、上記半導体チップの表面上に形成され上記トランジスタに接続される信号配線と、上記信号配線及び上記配線導体膜のうち少なくとも一方の上に形成されたバンプとをさらに備え、上記半導体チップの上記信号配線と上記配線導体膜とを上記バンプを介して接続することができる。

【0026】これにより、上述のような優れた特性を有するマイクロストリップ線路を有するMFIICが得られる。

【0027】請求項7に記載されるように、請求項6において、上記絶縁導膜は少なくとも上記BCB膜と配線導体膜との間に形成されている場合には、上記絶縁導膜の上に形成された導膜抵抗体をさらに備えることができる。

【0028】これにより、MFIICにおいて、基板側に抵抗体を設けて半導体チップの小型化を図りつつ、導膜抵抗体の発熱によってBCB膜に作用する熱衝撃力を、絶縁導膜によって緩和することができる。

【0029】請求項8に記載されるように、請求項6において、上記絶縁導膜は、少なくとも上記BCB膜と配線導体膜との間に形成されており、上記配線導体膜の一部には、外部の部材にワイヤーを介して接続されるパッド領域が形成されているように構成することができる。

【0030】これにより、配線導体膜のパッド領域にワイヤボンディングする際に配線導体膜の下の絶縁導膜によってボンディング圧力のBCB膜内での吸収が緩和されるので、信頼性の高いMFIICが得られる。

【0031】請求項9に記載されるように、請求項8において、キャパシタをさらに備え、上記絶縁導膜は少なくとも上記BCB膜と配線導体膜との間に形成されており、上記絶縁導膜とBCB膜との間の一部に介設された

上記キャバシタの下部電極膜とをさらに備え、上記配線導体膜は上記下部電極膜の上方では上記キャバシタの上部電極として機能し、上記絶縁薄膜は上記下部電極膜と上記配線導体膜との間では上記キャバシタの容量部として機能する一方、上記下部電極膜の上方以外の領域まで延びて上記配線導体膜と上記BCB膜との間に介在しているように構成することができる。

【0032】これにより、基板上に形成されるキャバシタの容量部となる絶縁薄膜を利用して、BCB膜の密着性や耐熱性を改善することができるので、MFIICの製造コストを低減することができる。

【0033】請求項10に記載されるように、請求項9において、上記配線導体膜の一部に形成され外部の部材にワイヤーを介して接続されるパッド領域をさらに備える場合には、上記パッド領域は、上記キャバシタの上部電極となる部分から50μm距離以上離れているように構成することができる。

【0034】これにより、ワイヤボンディング工程におけるキャバシタに対する悪影響を防止できる構造となる。

【0035】請求項11に記載されるように、請求項9において、上記配線導体膜のうち上記キャバシタの上部電極以外の領域には、上記絶縁薄膜に形成されたコンタクトホールを介して上記下部電極膜と接続される引き出し部が設けられており、上記配線導体膜の上記引き出し部の一部には、外部の部材にワイヤーを介して接続されるパッド領域が形成されているように構成することができる。

【0036】これにより、キャバシタの下部電極への信号の供給と、キャバシタの容量部となる絶縁薄膜を利用したBCB膜の特性改善とを内蔵することができる。

【0037】本発明の第3の半導体装置は、請求項12に記載されるように、基板と、上記基板の上に形成された下地導体膜と、上記下地導体膜の少なくとも一部の上に形成されたBCB膜と、上記BCB膜の上に形成され、上記下地導体膜及び上記BCB膜と共にマイクロストリップ線路を構成する配線導体膜とを備えるとともに、上記配線導体膜は上記基板上の上記BCB膜で覆われていない領域まで延びており、この領域には外部の部材にワイヤーを介して接続されるパッド領域が形成されている。

【0038】これにより、ワイヤーが存在するパッド領域の下方にはBCB膜が存在しないので、ワイヤボンディングを行う際の配線導体膜の剥がれを招くことなく、BCB膜を利用した誘電体膜及び導体膜の小さいマイクロストリップ線路を有するMFIICを得ることができる。

【0039】請求項13に記載されるように、請求項12において、上記下地導体膜の大部分は接地導体膜とし

て機能し、上記下地導体膜の一部は上記大半部とは切り離されていて、この一部の上に上記配線導体膜のパッド領域が接して形成されている構成とすることができる。

【0040】これにより、接地導体膜となる下地導体膜を利用して、パッド領域の配線導体膜の下地として利用することができる。

【0041】本発明の第4の半導体装置は、請求項14に記載されるように、半導体により構成される基板と、上記基板上に形成され絶縁性材料からなる素子分離と、上記基板の上に形成された下地導体膜と、上記下地導体膜の少なくとも一部の上かつ上記素子分離を除く領域の上に形成されたBCB膜と、上記BCB膜の上に形成され、上記下地導体膜及び上記BCB膜と共にマイクロストリップ線路を構成する配線導体膜とを備えるとともに、上記配線導体膜は上記素子分離上の領域まで延びており、この領域には、外部の部材にワイヤーを介して接続されるパッド領域が形成されている。

【0042】これにより、半導体基板上に半導体素子が形成されるような場合に必要な素子分離を利用して接地導体膜とは絶縁されたパッド領域を有するMFIICを得られる。

【0043】請求項15に記載されるように、請求項1, 5, 6, 12又は14において、上記基板をSi又はガラスにより構成することができる。

【0044】これにより、安価で特性の良好なMFIICを得ることができる。

【0045】請求項16に記載されるように、請求項8, 7, 8, 9, 10又は11において、上記半導体チップはGaAsを含む化合物半導体により構成されていることが好ましい。

【0046】請求項17に記載されるように、請求項6, 7, 8, 9, 10又は11において、上記半導体チップは、ヘテロ接合を有する半導体により構成されていることが好ましい。

【0047】請求項18に記載されるように、請求項6, 7, 8, 9, 10又は11において、上記トランジスタは、準ミリ波～ミリ波で使用する高周波用トランジスタであることが好ましい。

【0048】請求項16～18により、優れた高周波特性を有するトランジスタを内蔵するMFIICを得ることができる。

【0049】本発明の第5の半導体装置は、請求項19に記載されるように、ウエハ状の基板と、上記基板の上に形成された下地導体膜と、上記下地導体膜の少なくとも一部の上に形成されたBCB膜と、上記BCB膜の上に形成され、上記下地導体膜及び上記BCB膜と共にマイクロストリップ線路を構成する配線導体膜とを備えるとともに、上記基板を複数の基板チップに分割するためのスクライブ予定領域には、上記BCB膜が存在しておらず、上記BCB膜は上記各基板チップごとに分割され

(7)

特開平9-275164

ている。

【0050】これにより、半導体装置の製造工程において、ダイシング時のカッターノズルへのBCB膜の巻き込みを生じない構造となるので、カッターノズルの寿命が延びコストを低減することができる。

【0051】本発明の第1の半導体装置の製造方法は、請求項20に記載されるように、基板上に下地導体膜を形成する第1の工程と、上記下地導体膜の少なくとも一部の上にBCB膜を形成する第2の工程と、上記BCB膜の上に配線導体膜を形成する第3の工程と、上記第2の工程の前及び後の少なくともいずれか一方のときに、上記BCB膜に接する絶縁薄膜を形成する工程とを備えている。

【0052】この方法により、製造工程におけるBCB膜の下地導体膜からの剥がれや、配線導体膜のBCB膜からの剥がれを防止することができる。

【0053】請求項21に記載されるように、請求項20において、上記第2の工程の後上記第3の工程の前に、上記BCB膜及び上記絶縁薄膜の所望の位置に上記下地導体膜の一部を露出させるためのコンタクトホールを形成する工程をさらに備え、上記第3の工程では、上記配線導体膜の一部を上記コンタクトホール内に埋め込むように上記配線導体膜を形成することができる。

【0054】請求項22に記載されるように、請求項20において、上記第1の工程では、上記下地導体膜を所望のパターンに形成することができる。

【0055】請求項23に記載されるように、請求項20において、上記第2の工程の後上記第3の工程の前に、上記BCB膜及び上記絶縁薄膜の所望の位置に上記下地導体膜の一部を露出させるためのコンタクトホールを形成する工程と、上記コンタクトホール内に金属を埋め込んで金属埋め込み層を形成する工程とをさらに備え、上記第3の工程では、上記配線導体膜が上記金属埋め込み層に接続されるように上記配線導体膜を形成することができる。

【0056】請求項24に記載されるように、請求項23において、上記金属埋め込み層を形成する工程では、上記金属埋め込み層を上記コンタクトホールに露出した下地導体膜を埋め込んだ選択メッキ法で形成することができる。

【0057】請求項23又は24により、アスペクト比の大きい、つまり断面積が小さくて深いコンタクトホールが要求される場合にも、容易に埋め込み金属層を形成するので、配線の形成が容易となる。

【0058】請求項25に記載されるように、請求項20, 21, 22, 23又は24において、上記絶縁薄膜を形成する工程では、上記絶縁薄膜を酸化シリコン、酸化シリコン及び酸窒化シリコンのうち少なくともいずれか1つにより構成することが好ましい。

【0059】請求項26に記載されるように、請求項20, 21, 22, 23又は24において、上記配線導体膜を多層金属配線層として形成することができる。

【0060】本発明の第2の半導体装置の製造方法は、請求項27に記載されるように、請求項20, 21, 22, 23又は24において、トランジスタと該トランジスタに接続される信号配線とを有する半導体チップを準備する工程と、上記配線導体膜及び上記信号配線のうち少なくともいずれか一方の上の所望の位置にバンプを形成する工程と、上記バンプを介して上記半導体チップの上記信号配線と上記配線導体膜とを接続する工程とをさらに備えている。

【0061】この方法により、上述のような密着性及び耐熱性の優れたBCB膜及び絶縁薄膜の積層膜からなるストリップ線路を有するMFIICを形成することができる。

【0062】請求項28に記載されるように、請求項27において、上記基板を複数の基板チップに分割するためのダイシング工程をさらに備え、上記第2の工程では、上記ダイシング工程におけるスクライブ予定領域には上記BCB膜が存在しないように上記BCB膜を形成することができる。

【0063】

【発明の実施形態】

(第1の実施形態) 第1の実施形態は、シリコン酸化膜より誘電率および誘電正接が小さいベンゾシクロブテン(Benzo Cyclo Butene、以後BCBと略記する)で構成される膜を層間絶縁膜に用いたMFIICである。図1は、BCB膜を用いたMFIICの断面構造およびその製造工程の断面図を示す。

【0064】図1において、符号と部材との関係は以下の通りである。501はガラス、502等により構成される基板、503は基板501の上に形成されたT1/Au/T1積層膜からなる逆地導体膜、504は接地導体膜502の上に形成されたBCB膜、506はBCB膜504の上に形成されたT1/Au/T1積層膜からなる第1の配線導体膜である。なお、第1の配線導体膜506の一部はキャパシタの下部電極となっている。また、507は第1の配線導体膜506と接地導体膜502とを接続するためのコンタクトホール、508はキャパシタの容量部となる層間絶縁膜、509は一部でキャパシタの上部電極となるT1/Au/T1積層膜からなる第2の配線導体膜である。この接地導体膜502、BCB膜504及び配線導体膜506又は509により、マイクロストリップ線路が形成されている。また、511はトランジスタが形成された半導体チップであり、このトランジスタは準ミリ波からミリ波帯で使用するカットオフ周波数が120MHzの高周波用のヘテロ接合型電界効果トランジスタである。512はこの半導体チップ511上の信号配線、513は基板501上の配線導

(8)

特開平9-275164

体膜506又は509と半導体チップ511上の信号配線512とを接続するためバンプである。バンプ513を介して、半導体チップ511が基板501上のマイクロストリップ線路とフリップチップ接続され、MFICが形成される。

【0065】以下、本実施形態のMFICの製造工程について説明する。

【0066】まず、図1(a)に示すように、基板501上に接地導体膜502として例えばT1/Au/T1積層膜をそれぞれの厚みが50/1000/50nm程度になるように形成し、その上に厚みが10μm程度のBCB膜504を形成する。

【0067】次に、図1(b)に示すように、接地導体膜502へ接続のためのコンタクトホール507をBCB膜504の所望の位置に形成する。

【0068】次に、図1(c)に示すように、所望のパターンを有し一部でキャバシタの下部電極となる第1の配線導体膜506として例えばT1/Au/T1積層膜を形成し、さらに基板の全面上にMTMキャバシタ用の層間絶縁膜508として例えばシリコン酸化膜を形成する。

【0069】次に、図1(d)に示すように、上記層間絶縁膜508を所望のパターンに加工後、例えばT1/Au/T1積層膜を堆積した後この積層膜をバターニングして一部ではキャバシタの上部電極となる第2の配線導体膜509を形成する。

【0070】次に、図1(e)に示すように、上記配線導体膜506又は509上の所望の位置に高さ10μm程度のバンプ513を形成する。

【0071】次に、図1(f)に示すように、半導体チップ511上の信号配線512に上記バンプ513を接続しMFICを完成する。

【0072】このように、誘電体膜にBCB膜を用いることにより、MFICの伝送線路における挿入損失を低減することができる。

【0073】(第2の実施形態)第1の実施形態では、BCB膜厚として10μm程度まではよいが、挿入損失をさらに低減するためBCB膜厚をさらに厚くしようとするとBCB膜の形成条件を最適化してもBCB膜と接地導体膜の密着性が悪く、最悪の場合剥がれが発生することも考えられる。そこで、以下の各実施形態では、BCB膜の膜厚を大きくしても、剥がれのない半導体装置について説明する。

【0074】第2の実施形態に係わる半導体装置およびその製造方法について、図2および図3(a)~(f)を参照しながら説明する。図2および図3(e)~(d)は、第2の実施形態に係わるMFICの構造および製造工程をそれぞれ示す断面図である。

【0075】図2および図3において、符号と部材との関係は以下の通りである。501はガラス、31等によ

り構成される基板、502は基板501の上に形成されたT1/Au/T1積層膜からなる接地導体膜、503は接地導体膜502の上に形成されたシリコン酸化膜からなる絶縁薄膜、504は絶縁薄膜503の上に形成されたベンゾシクロブテン樹脂膜(以下、BCB膜と略記する)、506はBCB膜504の上に形成されたAuからなる配線導体膜である。この接地導体膜502、絶縁薄膜503、BCB膜504及び配線導体膜506により、マイクロストリップ線路が形成されている。また、507は配線導体膜506と接地導体膜502とを接続するためのコンタクトホール、511は内部にトランジスタが形成された半導体チップ、512はこの半導体チップ511上の信号配線、514はガラス基板501上のマイクロストリップ線路と半導体チップ511上の信号配線512とを接続するバンプである。

【0076】次に、図2に示すMFICを実現するための製造工程について説明する。

【0077】まず、図3(a)に示すように、基板上501の上に、接地導体膜502として例えばT1/Au/T1積層膜をそれぞれの厚みが50/1000/50nm程度になるように形成し、その上に絶縁薄膜503として例えばシリコン酸化膜を300nm程度の厚みで堆積する。

【0078】次に、図3(b)に示すように、BCB膜504を膜厚20μmで形成し、BCB膜504および絶縁薄膜503をCF4/O2混合ガスでドライエッティングし所望の位置にコンタクトホール507を形成する。

【0079】次に、図3(c)に示すように、上記コンタクトホール507およびBCB膜504上にAロメッキにより所望のパターンの配線導体膜506を厚み2μm程度で形成する。

【0080】その後、図3(d)に示すように、上記配線導体膜506の所望の位置にバンプ513をメッシュで形成し、例えばHEMT等のトランジスタを内蔵した半導体チップ511の信号配線512にバンプ513をフリップチップ法により接続し、MFICを完成する。

【0081】本実施形態では、BCB膜504と接地導体膜502との間にシリコン酸化膜で構成される絶縁薄膜503を介在させて、BCB膜504と絶縁薄膜503とによりマイクロストリップ線路の誘電体膜を構成している。このシリコン酸化膜のBCB膜との密着性は優れており、BCB膜の厚みが30μm程度であっても、両者は剥がれることなく良好な密着性を示す。その根拠について以下に説明する。図4(a)、(b)は、いずれも膜の密着性を引っかき試験器を用いて測定した結果を示す図である。図4(a)は下地となる接地導体膜上に形成される膜の種類を変えて密着性を測定した結果を、図4(b)はBCB膜の下地となる膜の種類を変えて密着性を測定した結果をそれぞれ示す図である。同図(a)において、鏡面は引っかき試験器の針を走査中に

(9)

特開平9-275164

剥がれた膜によって針に加わってくる荷重を、横軸は針の走査距離をそれぞれ示す。同図(a), (b)中、特性線C1は、厚み20μmのBCB膜を接地導体膜502上つまりT1/Au/T1積層膜(1μm厚)上に形成したときの密着性を、特性線C2は厚み10μmのBCB膜をT1/Au/T1積層膜上に形成した時の密着性を、特性線C3はシリコン酸化膜(300nm厚)を接地導体膜の上に形成したときの密着性を、特性線C4はシリコン酸化膜(300nm厚)を接地導体膜の上に形成したときの密着性を、特性線C5は厚み20μmのBCB膜をシリコン酸化膜(300nm厚)上に形成したときの密着性を、特性線C6は厚み20μmのBCB膜をシリコン酸化膜(300nm厚)上に形成したときの密着性をそれぞれ示す特性図である。同図を参照すると、T1/Au/T1積層膜上のBCB膜の密着性が悪く、特に、BCB膜の厚みが20μmの場合には、密着性が極端に低いことがわかる。一方、接地導体膜上のシリコン酸化膜およびシリコン酸化膜や、シリコン酸化膜およびシリコン酸化膜上のBCB膜では十分な密着性が得られていることがわかる。したがって、接地導体膜とBCB膜との間にシリコン酸化膜又はシリコン酸化膜を介在させることにより、BCB膜の接地導体膜からの剥がれを有効に防止できることがわかる。

【0082】なお、第1の実施形態の方法でも、BCB膜504の厚みが10μm程度まではシリコン酸化膜等の他の絶縁膜を介在させなくても、ある程度の密着性を確保できることがこの評価結果からも確認できる。ただし、その場合でも、BCB膜の下地にシリコン酸化膜等の絶縁膜を介在させることにより、BCB膜の下地に対する密着性をさらに強固ならしめることができる利点がある。

【0083】また、本実施形態ではコンタクトホール507を形成するためのドライエッチングを行う際に、シリコン酸化膜で構成される絶縁薄膜503はBCB膜504と同じガスでかつ同条件でエッチングすることができるため、一回のエッチングで処理でき工程数の増加はない。

【0084】(第3の実施形態)第2の実施形態ではBCB膜の下部に絶縁薄膜を形成した場合について説明したが、第3の実施形態ではBCB膜の上部に絶縁薄膜を形成する。

【0085】図6および図6(a)～(c)は第3の実施形態に係わるMFIの構造および製造工程をそれぞれ示す断面図である。

【0086】図5および図6(a)～(c)において、符号と部材との關係は以下の通りである。501はガラス、S1等により構成される基板、502は基板501の上に形成されたT1/Au/T1積層膜からなる接地導体膜、504は接地導体膜502の上に形成されたBCB膜、506はBCB膜504の上に形成されたシリ

コン酸化膜からなる絶縁薄膜、506は絶縁薄膜505の上に形成されたAuからなる配線導体膜である。この接地導体膜502、BCB膜504、絶縁薄膜505及び配線導体膜506により、マイクロストリップ線路が形成されている。また、507は配線導体膜506と接地導体膜502とを接続するためのコンタクトホール、510は絶縁薄膜506の上に形成された薄膜抵抗体、511は内部にトランジスタが形成された半導体チップ、512はこの半導体チップ511上の信号配線、514はガラス基板501上のマイクロストリップ線路と半導体チップ511上の信号配線512とを接続するパンプである。

【0087】以下、本実施形態のMFIの製造工程について説明する。

【0088】まず、図6(a)に示すように、ガラス基板上501の上に、接地導体膜502として例えばT1/Au/T1積層膜をそれぞれの厚みが50/1000/50nm程度になるように形成し、その上にBCB膜504を20μm程度の厚みで形成する。

【0089】次に、図6(b)に示すように、金面に絶縁薄膜505として例えばシリコン酸化膜を300nm程度の厚みで形成し、さらにその上に例えばNiCr薄膜からなる薄膜抵抗体510を形成する。

【0090】つぎに、図6(c)に示すように、絶縁薄膜505及びBCB膜504をCF4/O2混合ガスでドライエッチングし、所望の位置にコンタクトホール507を形成する。

【0091】次に、図6(d)に示すように、上記コンタクトホール507内および絶縁薄膜506の上にAuメッキにより所望のパターンの配線導体膜506を2μm程度の厚みで形成する。

【0092】その後、図6(e)に示すように、上記配線導体膜506上の所望の位置にパンプ513をメッキで形成し、半導体チップ511の信号配線512にパンプ513をフリップチップ実装により接続し、MFIを完成する。

【0093】本実施形態では、BCB膜504と共に誘電体膜を構成する絶縁薄膜506(例えばシリコン酸化膜)は、薄膜抵抗体510を構成するNiCr薄膜の密着性を強化する機能と、NiCr薄膜からの発熱をBCB膜504に伝えないための保護膜としての機能とを有している。よって、薄膜抵抗体510からの発熱がBCB膜504に伝わりにくいので、BCB膜504の熱衝撃による割れや熱変形はなく、信頼性の高いMFIを実現することができる。

【0094】また、絶縁薄膜506は半導体チップ511をフリップチップポンディングする際の第1又は第2の配線導体膜506又は509の保持材として作用する。これにより、ポンディング圧力がBCB膜504内に伝わり吸収されるのを防ぎ、適正な圧力がパンプに加

(10)

特開平9-275184

えられるので、ポンディングが良好に行われる。

【0095】(第4の実施形態)第2の実施形態ではBCB膜の下部に、第3の実施形態ではBCB膜の上部に、それぞれ絶縁薄膜を形成した場合について説明したが、第4の実施形態ではBCB膜の下部および上部に絶縁薄膜を形成する。

【0096】図7および図8(a)～(e)は第4の実施形態に係わるMFIICの構造および製造工程をそれぞれ示す断面図である。

【0097】図7および図8において、符号と部材との関係は以下の通りである。501はガラス、S1等により構成される基板、502は基板501の上に形成されたTi/Au/Ti積層膜からなる接地導体膜、503は接地導体膜502の上に形成されたシリコン酸化膜からなる第1の絶縁薄膜、504は第1の絶縁薄膜503の上に形成されたBCB膜、506はBCB膜504の上に形成されたシリコン酸化膜からなる第2の絶縁薄膜、508は第2の絶縁薄膜505の上に形成されたAuからなる第1の配線導体膜である。なお、第1の配線導体膜508の一部はキャバシタの下部電極となっている。また、507は第1の配線導体膜506と接地導体膜502とを接続するためのコンタクトホール、508はキャバシタの容量部となる層間絶縁膜、509は一部でキャバシタの上部電極となる第2の配線導体膜である。この接地導体膜502、第1及び第2の絶縁薄膜503及び505、BCB膜504及び配線導体膜506又は509により、マイクロストリップ線路が形成されている。また、510は第2の絶縁薄膜505の上に形成された薄膜抵抗体、511はトランジスタが形成された半導体チップであり、このトランジスタは例えば準ミリ波からミリ波帯で使用するカットオフ周波数が120MHzの高周波用のヘテロ接合型電界効果トランジスタである。512はこの半導体チップ511上の信号配線、513は基板501上の配線導体膜506又は509と半導体チップ511上の信号配線512とを接続するためパンプである。

【0098】以下、本実施形態のMFIICの製造工程について説明する。

【0099】まず、図8(a)に示すように、基板501上に接地導体膜502として例えばTi/Au/Ti積層膜をそれぞれの厚みが50/1000/50nm程度になるように形成し、その上に第1の絶縁薄膜503として例えばシリコン酸化膜を300nmの膜厚で形成する。さらに、その上に、厚みが26μm程度のBCB膜504と、厚みが300nm程度のシリコン酸化膜からなる第2の絶縁薄膜505とを形成する。

【0100】次に、図8(b)に示すように、例えばN1Cr薄膜からなる薄膜抵抗体510を第2の絶縁薄膜505の上に形成した後、第2の絶縁薄膜506およびBCB膜504および第1の絶縁薄膜503をCF4/

O2混合ガスでドライエッティングし、所望の位置にコンタクトホール507を形成する。

【0101】次に、図8(c)に示すように、コンタクトホール507内及び第2の絶縁薄膜505の上に、所望のパターンを有する厚み1μm程度のTi/Au膜からなる第1の配線導体膜506を形成する。

【0102】次に、図8(d)に示すように、基板の全面上にMIMキャバシタ用の層間絶縁膜508として所望のパターンを有する厚み200nmのシリコン酸化膜を形成した後、Auメッキにより所望のパターンを有する第2の配線導体膜509を形成する。この第2の配線導体膜509の一部は、MIMキャバシタの上部電極となっている。

【0103】次に、図8(e)に示すように、第1又は第2の配線導体膜506又は509の所望の位置に高さ10μm程度のパンプ513を形成した後、半導体チップ511上の信号配線512に上記パンプ513を接続LMFIICを完成する。

【0104】本実施形態では、BCB膜504の上下の第1、第2絶縁薄膜503、505は、それぞれBCB膜504と接地導体膜502との密着性及びBCB膜504と第1、第2配線導体膜506、509との間の密着性を強化する働きをする。さらに、BCB膜504上の第2の絶縁薄膜505は、薄膜抵抗体510を構成するN1Cr薄膜からの発熱をBCB膜504に伝えないための保護膜としての機能をも有し、薄膜抵抗体510からの発熱がBCB膜504に伝わりにくいで、BCB膜504の熱変形や熱衝撃によるひび割れ等ではなく、信頼性の高いMFIICを実現することができる。さらに、第2の絶縁薄膜505は、半導体チップ511をフリップチップポンディングする際の第1又は第2の配線導体膜506又は509の保持材として作用する。これにより、ポンディング圧力がBCB膜504内に伝わり吸収されるのを防ぎ、適正な圧力がパンプに加えられるので、ポンディングが良好に行われる。

【0105】(第5の実施形態)次に、第6の実施形態について説明する。本実施形態では、半導体装置の構造については図示を省略し、製造工程について図9(a)～(e)を参照しながら説明する。図9(a)～(e)は第5の実施形態に係わるMFIICの製造工程を示す断面図である。図9において、符号と部材との関係は以下の通りである。501はガラス、S1等により構成される基板、502は基板501の上に形成されたTi/Au/Ti積層膜からなる接地導体膜、503は接地導体膜502の上に形成されたシリコン酸化膜からなる絶縁薄膜、504は絶縁薄膜503の上に形成されたBCB膜、506はBCB膜504の上に形成されたAuからなる配線導体膜である。また、507は第1の配線導体膜506と接地導体膜502とを接続するためのコンタクトホール、520は配線導体膜506と接地導体膜

502とを接続する金属埋め込み層である。上記接地導体膜502、絶縁薄膜503、BCB膜504及び配線導体膜506により、マイクロストリップ線路が形成されている。また、511はトランジスタが形成された半導体チップであり、半ミリ波からミリ波帯で使用するカットオフ周波数が120MHzの高周波用のヘテロ接合型電界効果トランジスタである。512はこの半導体チップ511上の信号配線、513は基板501上の配線導体膜506と半導体チップ511上の信号配線512とを接続するためパンプである。

【0106】以下、本実施形態のMFI-Cの製造工程について説明する。

【0107】まず、図9(a)に示すように、基板501上に接地導体膜502として例えばTi/Au/Ti積層膜をそれぞれの厚みが50/1000/50nm程度になるように形成し、その上に絶縁薄膜503として例えばシリコン酸化膜を300nmの膜厚で形成する。

【0108】次に、図9(b)に示すように、BCB膜504を膜厚20μmで形成し、絶縁薄膜505およびBCB膜504およびシリコン酸化膜503をCF4/O2混合ガスでドライエッティングし、所望の位置にコンタクトホール507を形成する。

【0109】次に、図9(c)に示すように、上記コンタクトホール507内に露出した接地導体膜502を積金属とする選択的メッキ法により、コンタクトホール507内に金属埋め込み層520を形成する。

【0110】次に、図9(d)に示すように、Auメッキ法により、上記金属埋め込み層520上およびBCB膜504上に所望のパターンを有する配線導体膜506を1μmの厚みで形成する。

【0111】次に、図9(e)に示すように、配線導体膜506の所望の位置にパンプ513をAuメッキで形成し、例えばHEMTからなるトランジスタを内蔵した半導体チップ511の信号配線512を配線導体膜506上にフリップチップ接続しMFI-Cを完成する。

【0112】本実施形態では、厚膜のBCB膜504の接着性強化のため絶縁薄膜503を導入しているので、上述の各実施形態と同じ効果が得られる。

【0113】加えて、さらに選択メッキによりコンタクトホールを金属で埋める工程を導入することにより、以下の効果を得ることができる。すなわち、今後BCB膜を誘電体膜に用いたMFI-Cにおいても集積化は進み伝送路パターンはますます微細化する。それに伴いBCB膜の接地コンタクトも微細になりコンタクトホールのアスペクト比はかなり大きくなると思われる。コンタクトホールのアスペクト比が大きくなると、配線導体膜をカバレージ良く形成することは困難であるので、接地用のコンタクトホールを選択的メッキにより金属で埋める工程を新たに導入した。これによりアスペクト比の大きい、つまり小さくて深いコンタクトホールを埋め込み金

属層で埋めることができ、その後の配線導体膜の形成工程を極めて容易に行うことができる。

【0114】(第6の実施形態)次に、第6の実施形態について説明する。本実施形態では、配線導体膜のボンディングパッドの下地に絶縁薄膜を設ける構成に関するものである。図10は、本実施形態に係る配線基板の断面図である。

【0115】図10において、符号と部材との関係は以下の通りである。501はガラス、S1等により構成される基板、502は基板501の上に形成されたTi/Au/Ti積層膜からなる接地導体膜、504は接地導体膜502の上に形成されたBCB膜、506はBCB膜504の上に形成された絶縁薄膜、508は絶縁薄膜505の上に形成されたAuからなる配線導体膜である。そして、配線導体膜506のパッド部531には、ワイヤー530が接続されている。

【0116】なお、図示されていないが、この図に示す断面以外の領域において、基板501上に、HEMT等のトランジスタを内蔵した半導体チップがフリップチップ接続されている。

【0117】本実施形態では、配線導体膜506において少なくともワイヤー530が接続されるパッド部531の下地に絶縁薄膜508を設けることにより、マイクロストリップ線路にワイヤー530をボンディングするときに配線導体膜506がBCB膜504から剥がれるのを効果的に防止することができる。

【0118】(第7の実施形態)次に、第7の実施形態について説明する。図11は、本実施形態に係る半導体装置の断面図である。ただし、図11は、半導体チップが搭載されている領域とは別の領域における構造を示すので、半導体チップは示されていない。

【0119】図11において、符号と部材との関係は以下の通りである。501はガラス、S1等により構成される基板、502は基板501の上に形成されたTi/Au/Ti積層膜からなる接地導体膜、504は接地導体膜502の上に形成されたBCB膜、506はBCB膜504の上に形成されたAuからなる第1の配線導体膜、508はシリコン酸化膜、シリコン塗化膜等で構成されるキャバシタの容量部となる層間絶縁膜であり、509はAuからなる第2の配線導体膜である。そして、上記第1の配線導体膜506を下部電極とし、層間絶縁膜508を容量部とし、第2の配線導体膜の一部509を上部電極とするMIMキャバシタが構成されている。また、キャバシタの層間絶縁膜508は、キャバシタの容量部となる部分だけではなく、BCB膜504の上全体に亘って形成されており、この層間絶縁膜508により、上記各実施形態における絶縁薄膜と同様に、第2の配線導体膜509とBCB膜504との接着性を向上させるように構成されている。また、第2の配線導体膜の一部509は、層間絶縁膜508の一部に設けら

れた開口を介して第1の配線導体膜506に接続されており、この第2の配線導体膜の一部509bにパッド部531が形成され、このパッド部531にワイヤー530が接続されている。ただし、第2の配線導体膜509において、パッド部531は、キャバシタから50μm以上の距離D1だけ離れて設けられている。なお、キャバシタ以外の領域では、接地導体膜502、BCB膜504、層間絶縁膜508及び第2の配線導体膜509によりマイクロストリップ線路が構成されている。

【0120】なお、第1の配線導体膜506は、下地に絶縁膜として機能する膜を有することなく、BCB膜504及び接地導体膜502と共にマイクロストリップ線路を構成している。また、図示されていないが、この箇に示す断面以外の領域において、基板501上に、HEMT等のトランジスタを内蔵した半導体チップがフリップチップ接続されている。

【0121】従来のMFIICの構造では、MIMキャバシタを基板上に形成する際、キャバシタの容量部となる層間絶縁膜はキャバシタの上下電極間及びその周囲部分のみに形成されていた。それに対し、本実施形態では、キャバシタの容量部となる絶縁膜（層間絶縁膜508）を、キャバシタ外のBCB膜504上の全体に亘って形成することにより、このキャバシタのために必要な絶縁膜を利用して、上記第6の実施形態における絶縁薄膜505と同様に、ワイヤー530をボンディングする際に配線導体膜509のBCB膜504から剥がれるのを有効に防止することができる。したがって、本実施形態では、BOB膜に対する配線導体膜の密着性を強化するための絶縁薄膜を形成するために工程を増やさなくても済む。したがって、第6の実施形態に比べて製造コストをさらに低減することができる利点がある。

【0122】（第8の実施形態）次に、第8の実施形態について説明する。図12(a)及び図13は、本実施形態に係わる半導体装置の断面図及び平面図である。ただし、図12(a)は図13中に示すウエハ状の基板501から切り出される矩形状の基板チップ501a中のII-II線における断面図である。

【0123】図12(a)において、符号と部材との關係は以下の通りである。501はガラスにより構成される基板、502は基板501の上に形成されたT1/Au/T1積層膜からなる接地導体膜、504は接地導体膜502の上に形成されたBCB膜、506はBCB膜504の上に形成されたAuからなる配線導体膜である。そして、本実施形態では、接地導体膜502の一部502xが他の部分とは切り離されて、接地とは絶縁されており、この部分502xがパッド部531となっている。そして、このパッド部531において、ワイヤー530が接続される配線導体膜506の下方にはBOB膜504が存在していない。

【0124】一方、図13に示すように、ウエハ状の基

板501から切り出される多数の矩形状の各基板チップ501aのそれぞれの上にマイクロストリップ線路等が形成される。図13において、パッド部531が接地導体膜502と切り離されていることが示されている。また、基板501上において、RccbはBCB膜504の形成領域を示し、Rscrはスクライブラインを示す。すなわち、BCB膜504がスクライブラインRscr内には存在しないように構成されている。

【0125】なお、本実施形態では、ウエハ状の基板501から各基板チップ501aが切り出される前に、各基板チップ501aの上に半導体チップ511がフリップチップ接続されているが、ウエハ状の基板501から基板チップ501aを切り出した後、半導体チップ511を各基板チップ501a上の配線導体膜506の上にそれぞれフリップチップ接続するようにしてもよい。

【0126】本実施形態では、以下の効果をることができる。

【0127】第1に、ワイヤー530を接続するためのパッド部531において、配線導体膜506がBCB膜504を介すことなく接地導体膜502の一部502xを介して基板501上に形成されている。したがって、上記各実施形態に比べ、配線導体膜506の下地との密着性をさらに高く維持することができ、ワイヤボンディング時における配線導体膜506の剥がれをより確実に防止することができる。

【0128】第2に、接地導体膜502をバーニングすることで、パッド部531における配線導体膜506の下地を容易に形成することができる。

【0129】第3に、スクライブラインRscrにBCB膜504が存在していないので、ダイシングによりウエハ状の基板501を矩形状の基板チップ501aに分割する際に、BCB樹脂がカッターブレードに巻き込まれることがなく、カッターブレードの寿命が向上し、かつメンテナンスも容易となる。

【0130】第4に、ダイシング時にBCB膜504自体にストレスを印加することができないので、BCB膜504上の配線導体膜506に損傷を与えることがない。

【0131】第5に、このようにウエハ状態でBCB膜504を細かく分割しておくことで、BCB膜504自身に加わる応力が低減されてBCB膜のひび割れ等が生じにくくなるとともに、一部にひび割れが生じてもそれが他の部分に拡大するのが阻止されるので、製造歩留まりも向上する。

【0132】また、図12(b)は、本実施形態の変形例であって、基板501をS1で構成した場合の構造を示す断面図である。この場合には、基板501の上にシリコン酸化膜等からなる絶縁薄膜503を形成した後、この絶縁薄膜503の上に接地導体膜502、BOB膜504、配線導体膜506等を形成する。このように絶縁薄膜503を設けることにより、接地導体膜502と

(13)

特開平9-275164

パッド部531との導通を確実に回避することができる。

【0133】(第9の実施形態) 次に、第9の実施形態について説明する。図14は、第9の実施形態に係わる半導体装置の一部における構造を示す断面図である。

【0134】図14に示すように、本実施形態の構造は、基本的には上記第8の実施形態と同じである。ただし、本実施形態では、基板501がシリコン単結晶により構成されており、パッド部531は基板501の一部に形成されたシリコン酸化膜からなるLOCO-S膜540の上に設けられている。すなわち、基板をシリコン等の半導体で構成し、基板501上のいずれかにトランジスタを形成するような場合には、素子分離となるLOCO-S膜540が形成されるので、このLOCO-S膜540の上にパッド部531を形成することにより、工程を増やすことなくパッド部531を接地から確実に絶縁できる利点がある。

【0135】なお、上記各実施形態では、基板501をガラス又はSiにより構成したが、本発明における基板はこれに限らず、セラミック基板や他の基板であっても差し支えない。また、絶縁薄膜にはシリコン酸化膜あるいはシリコン変化膜を用いて説明したが、本発明における絶縁薄膜はこれに限らず他の種類の絶縁膜であってもよい。

【0136】また、第4の実施形態で説明した第1および第2の絶縁薄膜はそれぞれ、シリコン酸化膜とシリコン変化膜で説明したが、これらは第1がシリコン変化膜、第2がシリコン酸化膜であってもよい。また、各実施形態において、いずれの絶縁薄膜においても、シリコン酸化膜とシリコン変化膜との積層膜や、シリコン酸化膜等を用いることができる。さらに、シリコン酸化膜やシリコン変化膜以外の絶縁膜、好ましくは無機系絶縁膜を用いることもできる。B0B膜の上下に絶縁薄膜を形成する場合、両者が同じ膜であってもよい。

【0137】また、各実施形態で説明した半導体チップはそれに限らず、他のデバイスであっても良い。また、各実施形態において配線導体膜は単層配線で説明したが、バターンレイアウトや受動素子のレイアウト上多層配線であっても問題ない。さらに、配線導体膜や接地導体膜の材質は、上記各実施形態に示した材質に限定されるものではなく、各種の導電性材料を任意に選択して使用することができる。

【0138】上記各実施形態では、基板501上に接地導体膜502が形成されているが、この膜502は必ずしも接地されている必要はなく、配線導体膜508又は509が接地されている構成としてもよい。

【0139】

【発明の効果】請求項1～11によれば、マイクロストリップ線路の誘導体膜をB0B膜とB0B膜に接して形成された絶縁薄膜とにより構成したので、密着性が良く

高信頼性かつフリップチップボンディングが良好に行える低挿入損失なMFI-Cが実現可能となる。

【0140】請求項11～19によれば、マイクロストリップ線路の誘導体膜をB0B膜により構成するとともに、B0B膜上にはワイヤーボンディング用のパッド部やスクリーブラインを設けない構造としたので、密着性が良く高信頼性かつ低挿入損失なMFI-Cが実現可能となる。

【0141】請求項20～28によれば、半導体装置の製造方法として、B0B膜の形成前あるいは後に絶縁薄膜を形成するようにしたので、B0B膜の密着性を著しく強化でき、半導体装置の信頼性を大きく向上させることが可能となる。さらにB0B膜上部の絶縁薄膜によりフリップチップボンディングの歩留まりも大きく向上することができる。

【0142】特に、請求項23、24によれば、微細接地コントクト内に退屈的に埋め込み金属を形成することにより微細な配線導体膜の形成が容易となり、今後の集積化、微細化に対応した製造方法を提供するものである。

【図面の簡単な説明】

【図1】第1の実施形態に係わるMFI-Cの製造工程を示す断面図である。

【図2】第2の実施形態に係わるMFI-Cの構成を示す断面図である。

【図3】第2の実施形態に係わるMFI-Cの製造工程を示す断面図である。

【図4】第2の実施形態に係わるMFI-C中の各膜の密着性を示す図である。

【図5】第3の実施形態に係わるMFI-Cの構成を示す断面図である。

【図6】第3の実施形態に係わるMFI-Cの製造工程を示す断面図である。

【図7】第4の実施形態に係わるMFI-Cの構成を示す断面図である。

【図8】第4の実施形態に係わるMFI-Cの製造工程を示す断面図である。

【図9】第5の実施形態に係わるMFI-Cの製造工程を示す断面図である。

【図10】第6の実施形態に係わるMFI-C中のパッド部付近の配線基板の構造を示す断面図である。

【図11】第7の実施形態に係わるMFI-C中のパッド部付近の配線基板の構造を示す断面図である。

【図12】第8の実施形態に係わるMFI-C中のパッド部付近の配線基板の構造を示す図13中のII-II線における断面図及びその変形例を示す断面図である。

【図13】第8の実施形態に係わるMFI-Cの製造工程中におけるウエハ状態の基板の構造を示す平面図である。

【図14】第9の実施形態に係わるMFI-C中のパッド

(14)

特開平9-275164

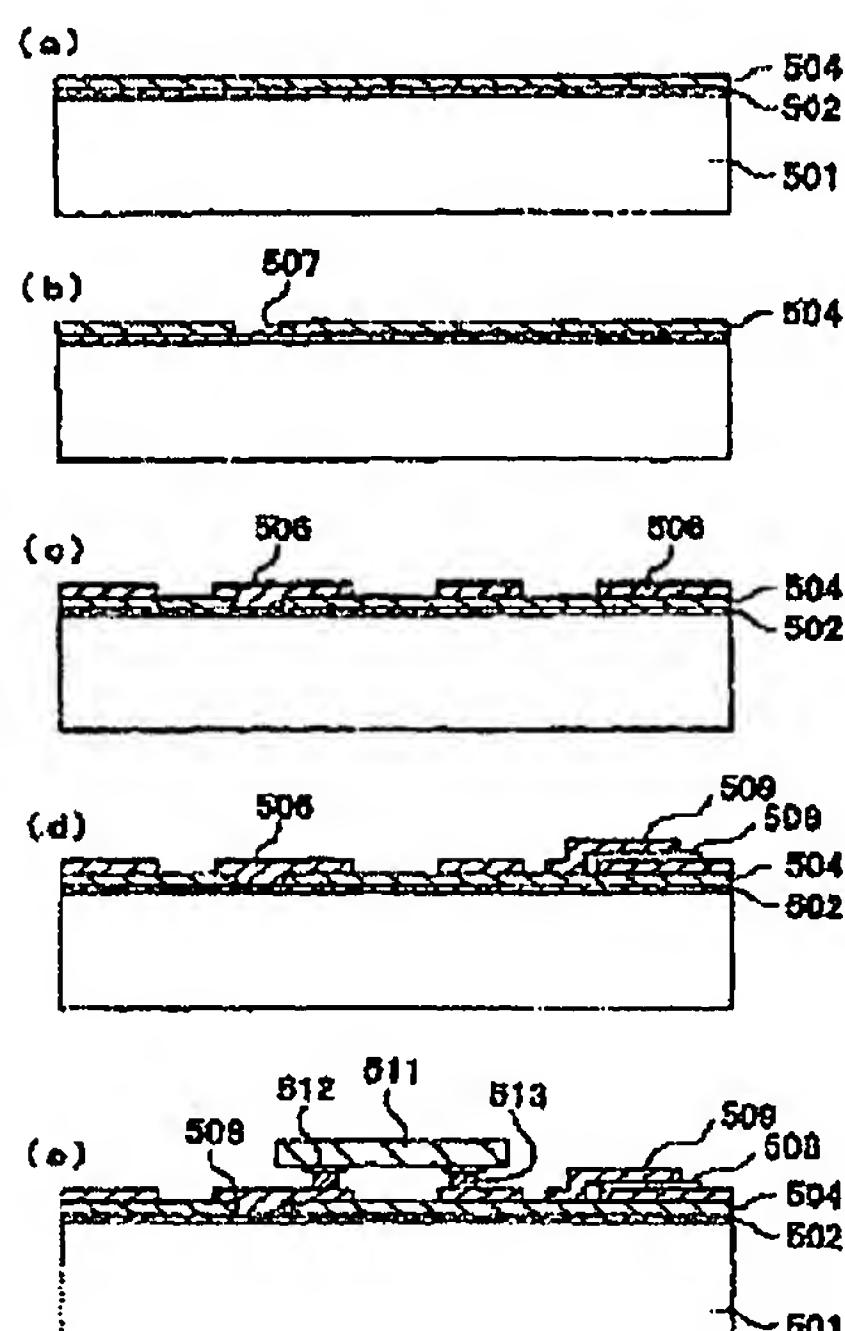
部付近の配線基板の構造を示す断面図である。  
【図15】従来のMFIICの構成を示す断面図である。

【符号の説明】

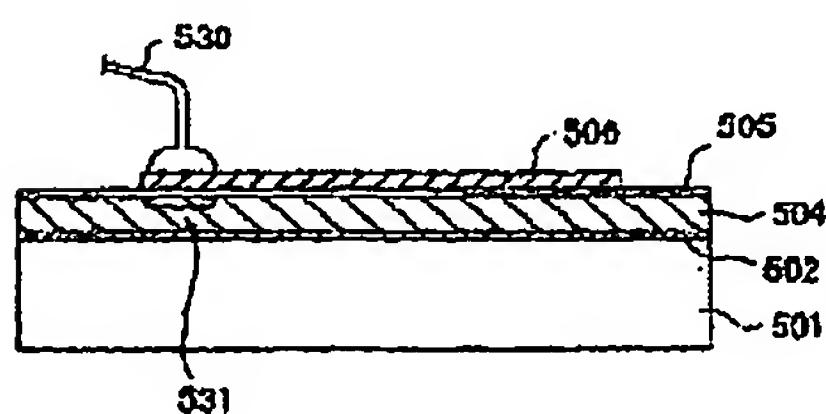
501 基板  
502 接地導体膜  
503 絶縁層膜  
504 BCB膜  
505 絶縁層  
506 配線導体膜  
507 コンタクトホール

508 局間絶縁膜  
509 配線導体膜  
510 電膜抵抗体  
511 半導体チップ  
512 信号配線  
513 パンプ  
520 金膜埋め込み層  
530 ワイヤー  
531 パッド部  
540 LOCOS膜

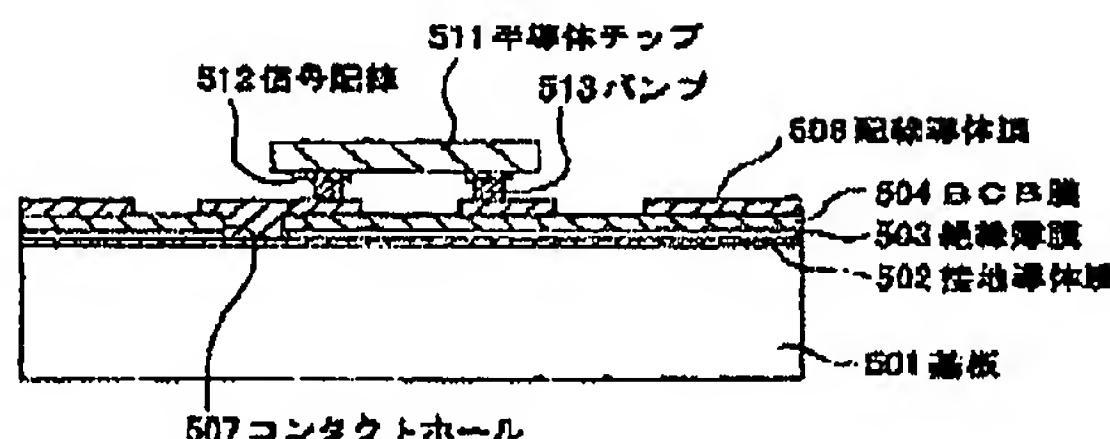
【図1】



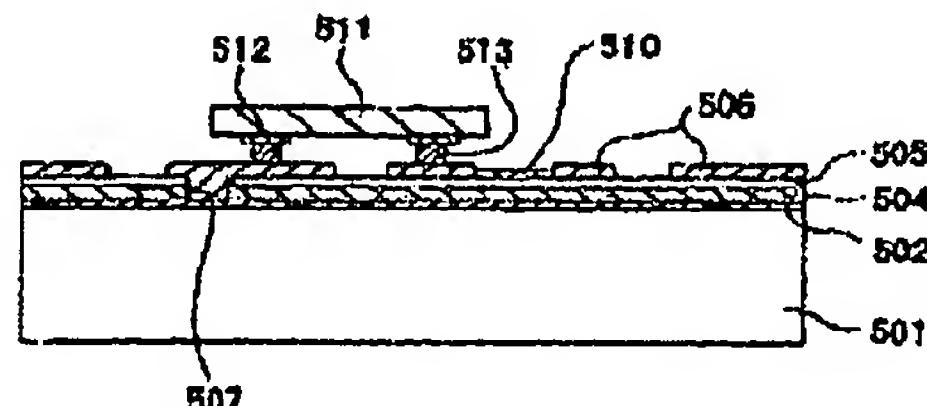
【図10】



【図2】



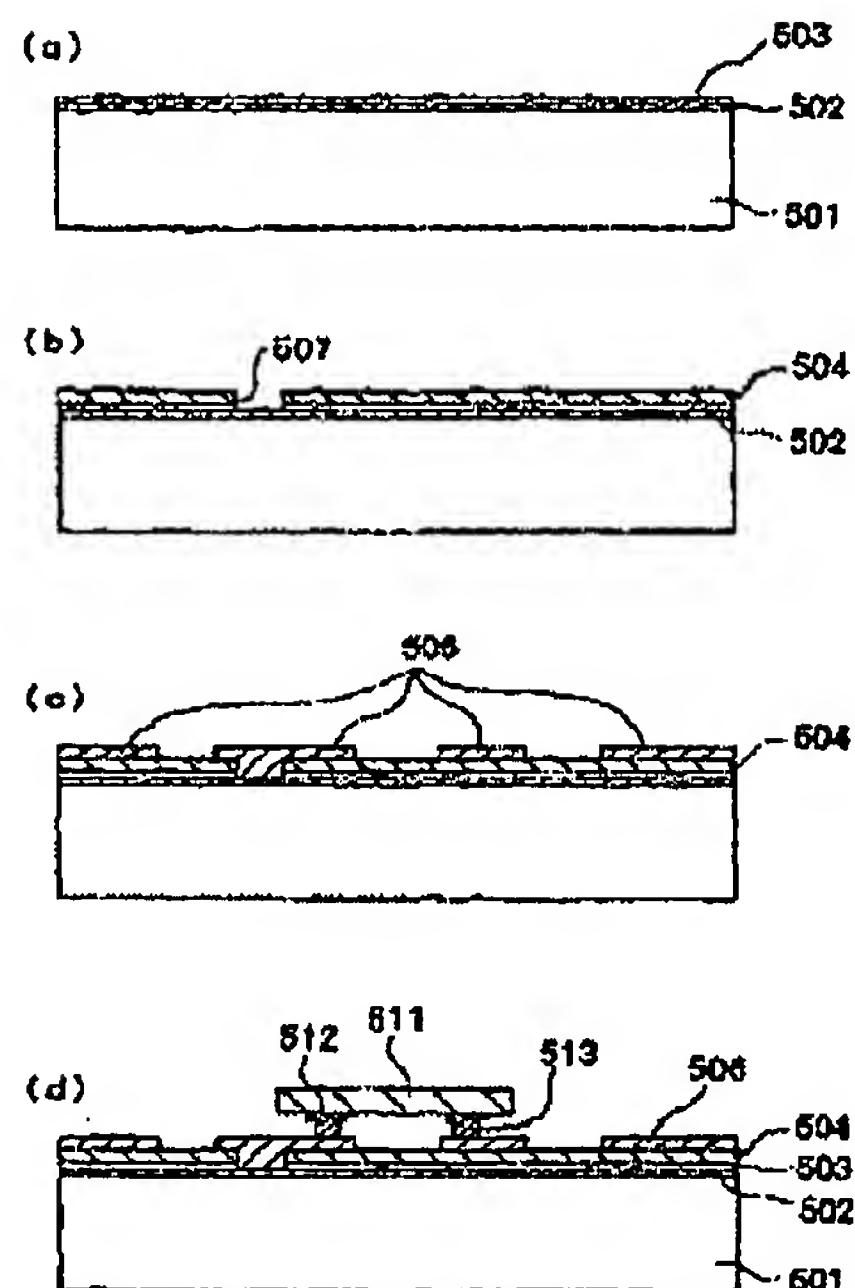
【図5】



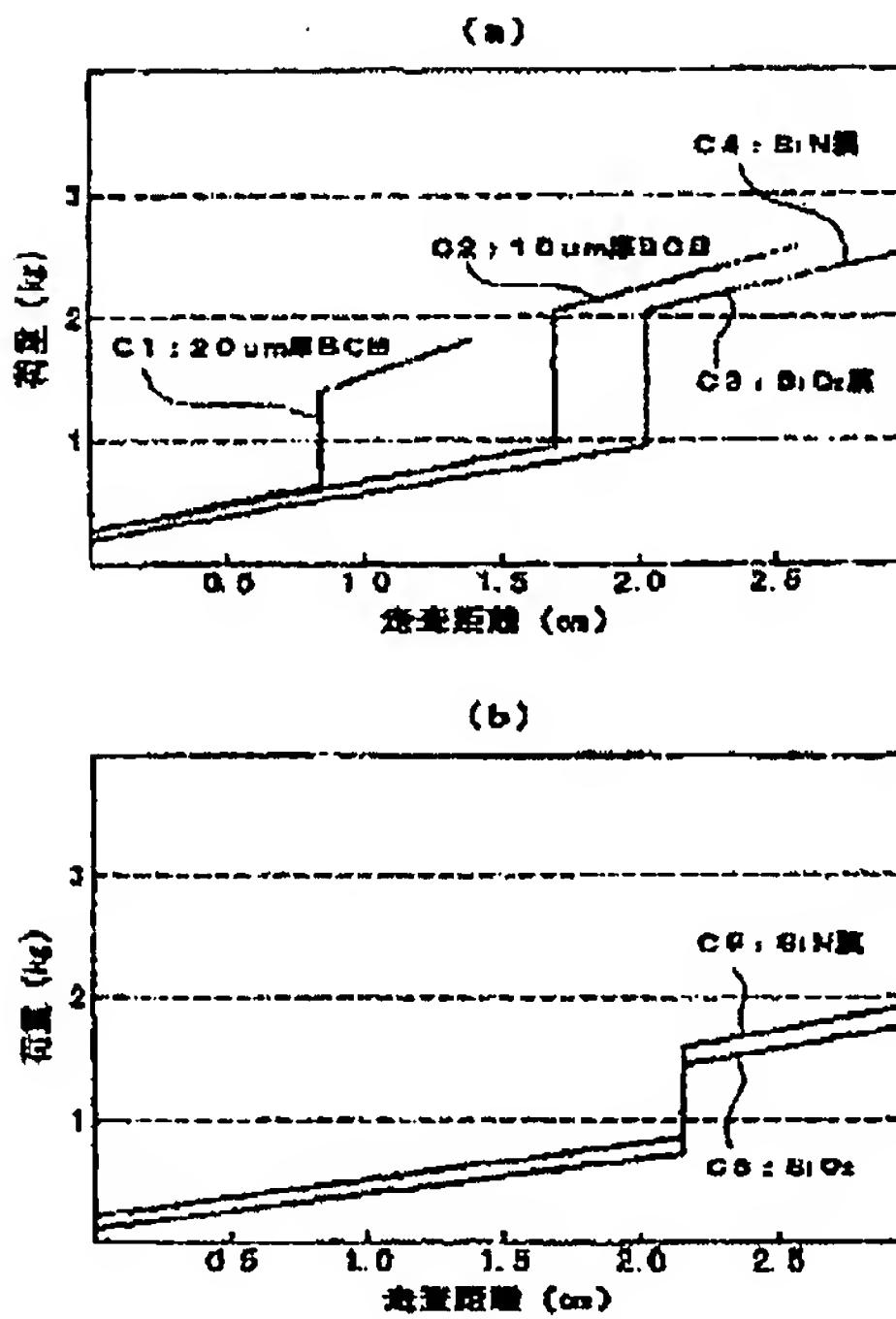
(15)

特開平9-275164

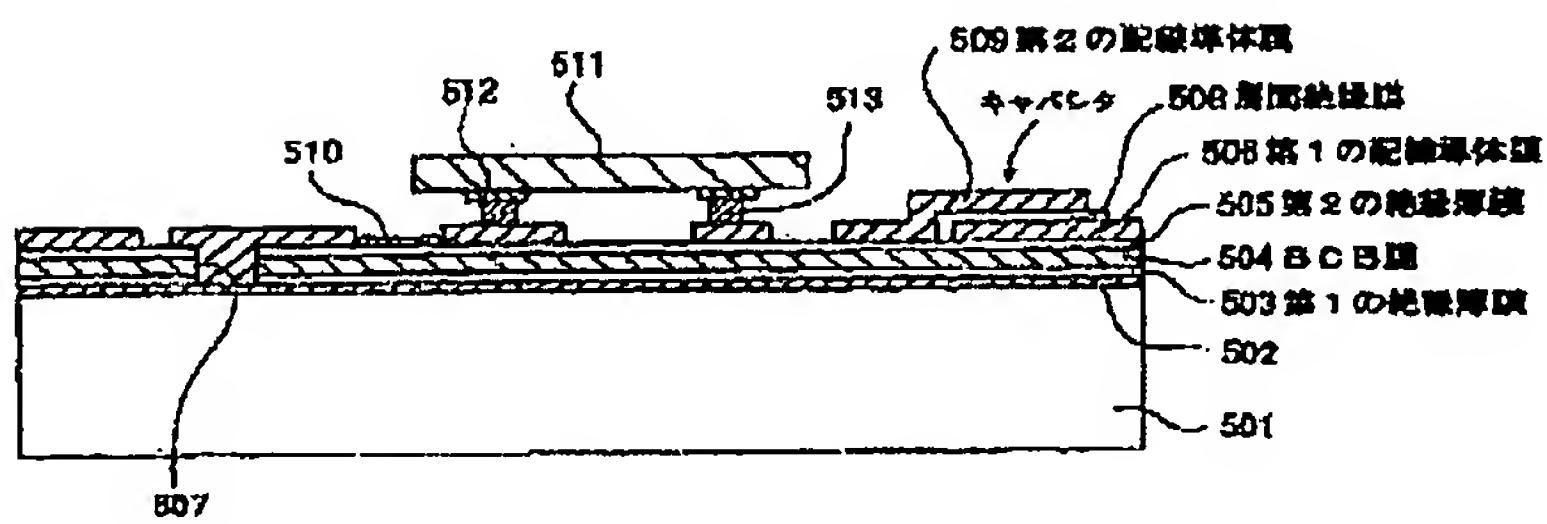
【図3】



【図4】



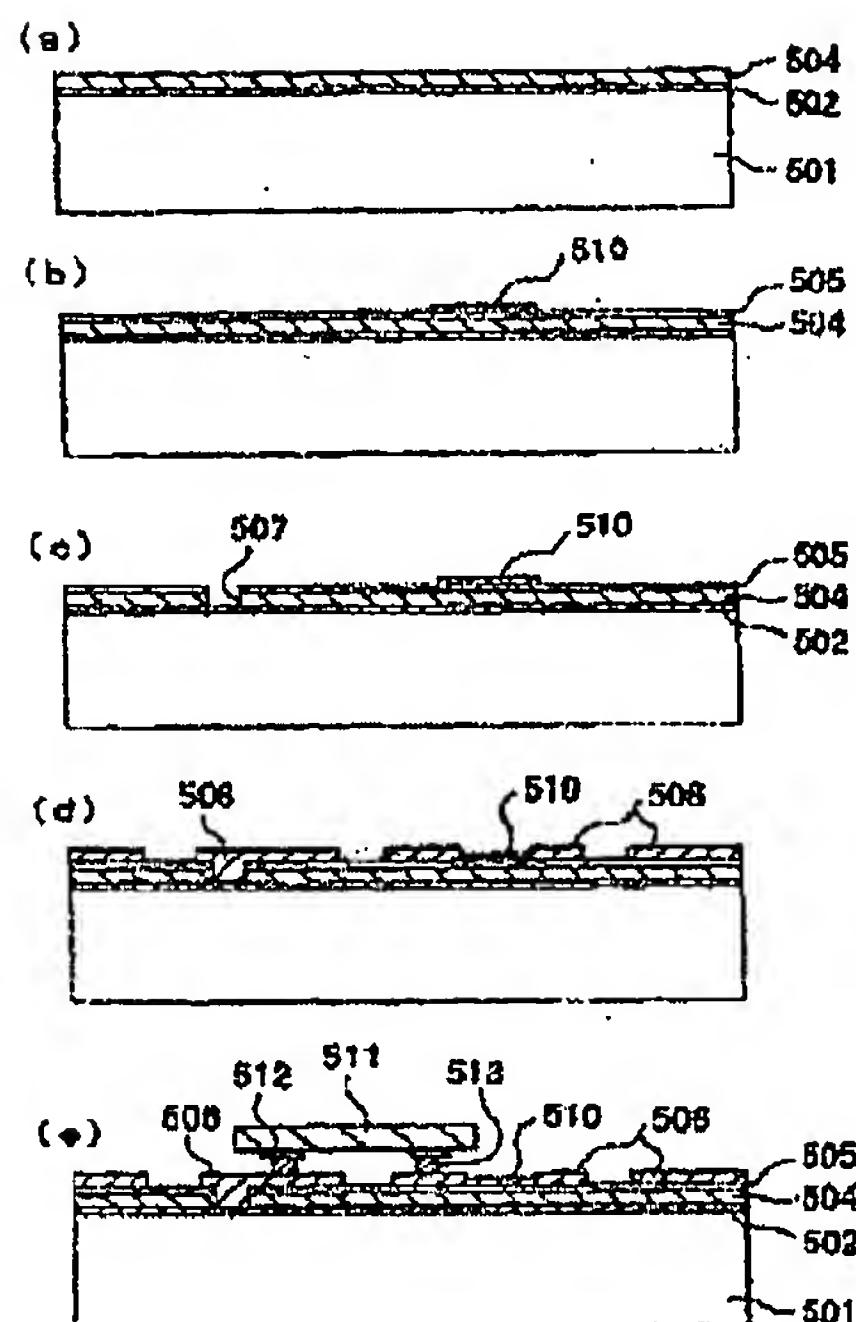
【図7】



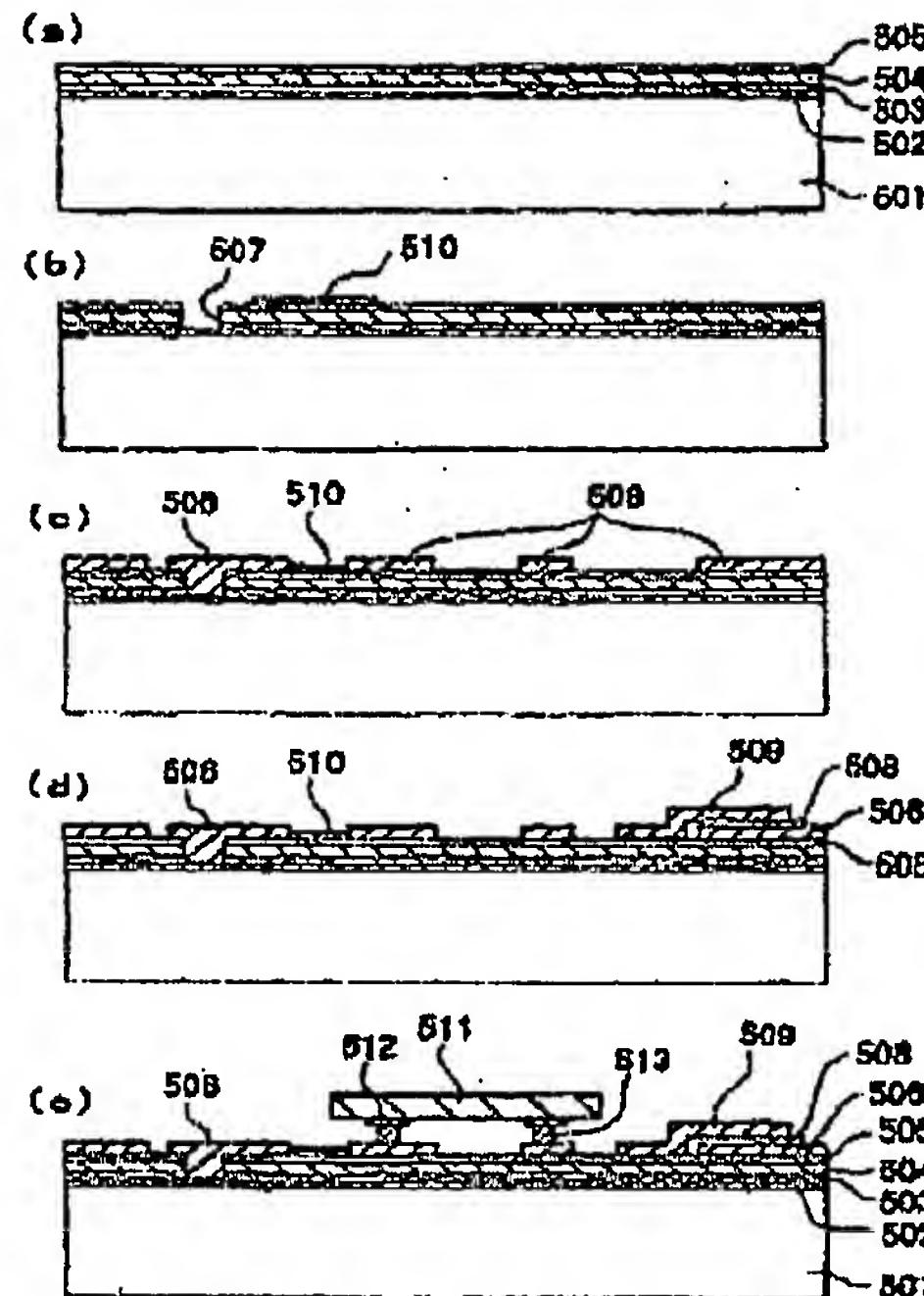
(16)

特開平9-275164

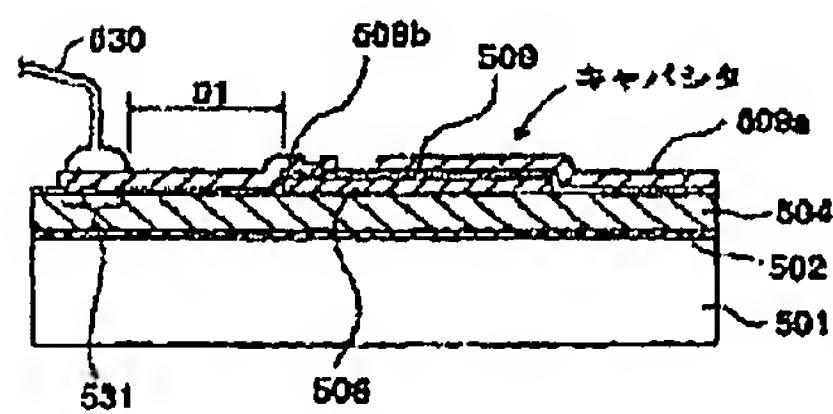
【図6】



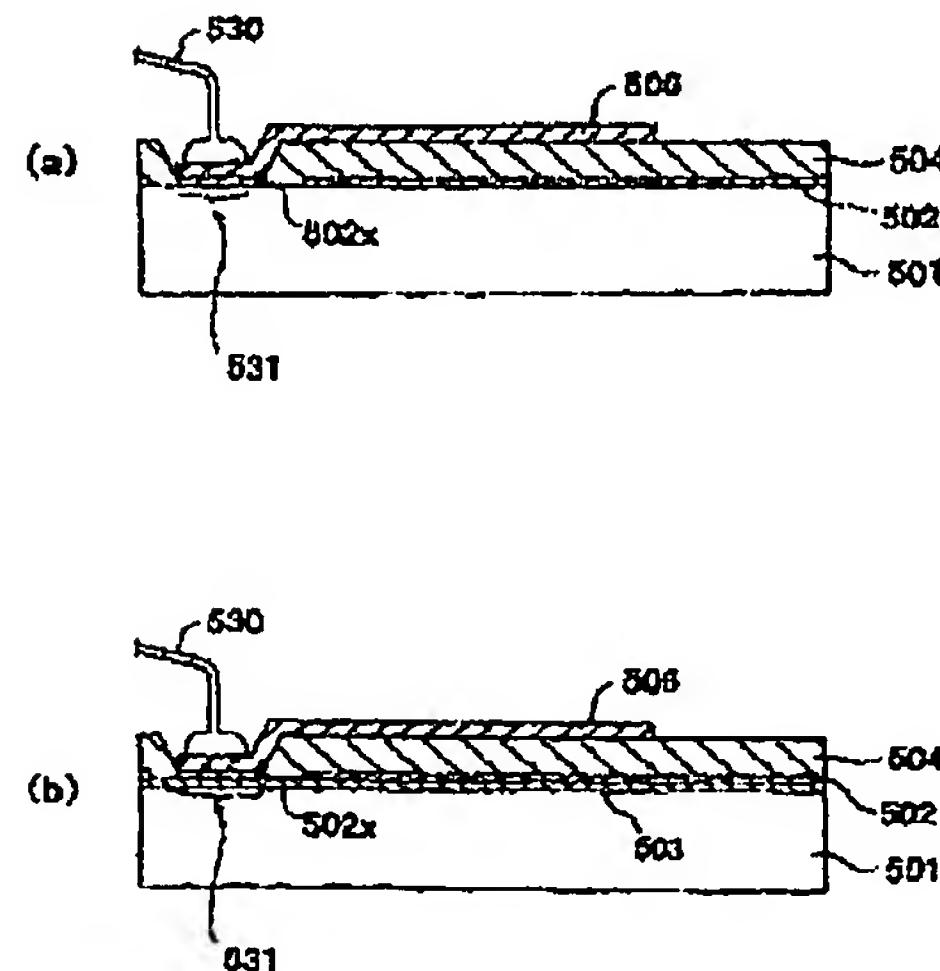
【図8】



【図11】



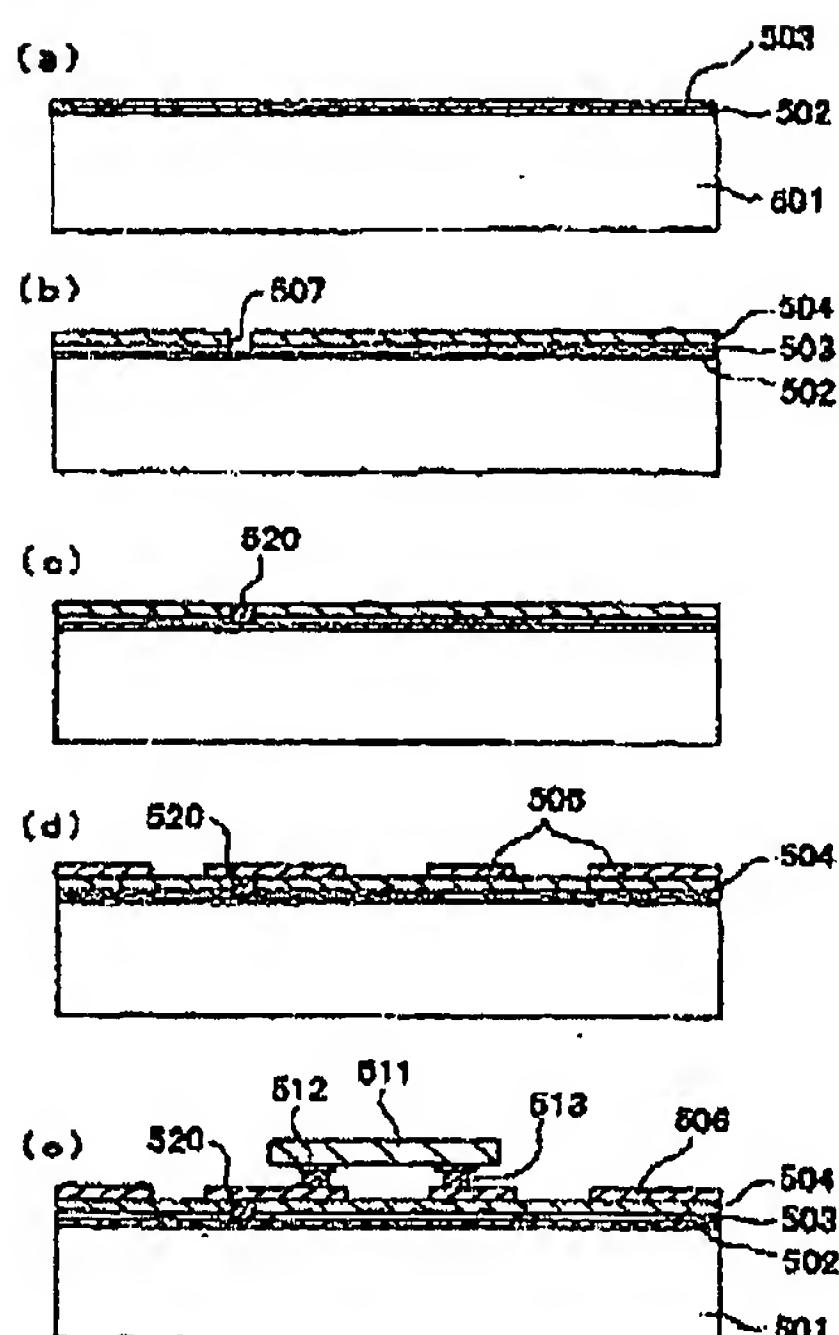
【図12】



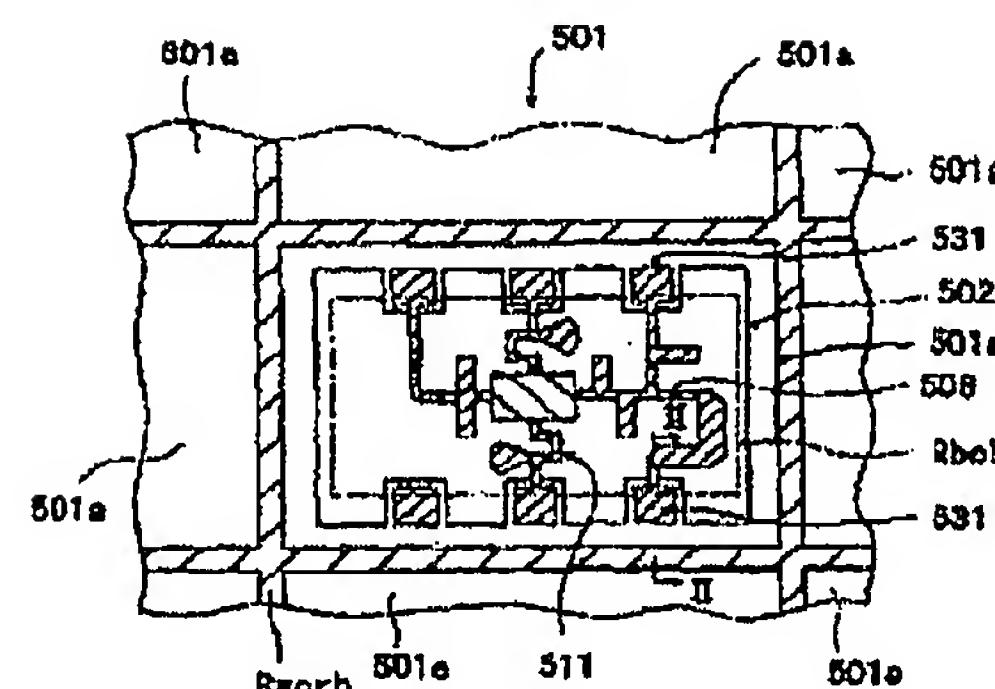
(17)

特開平9-275164

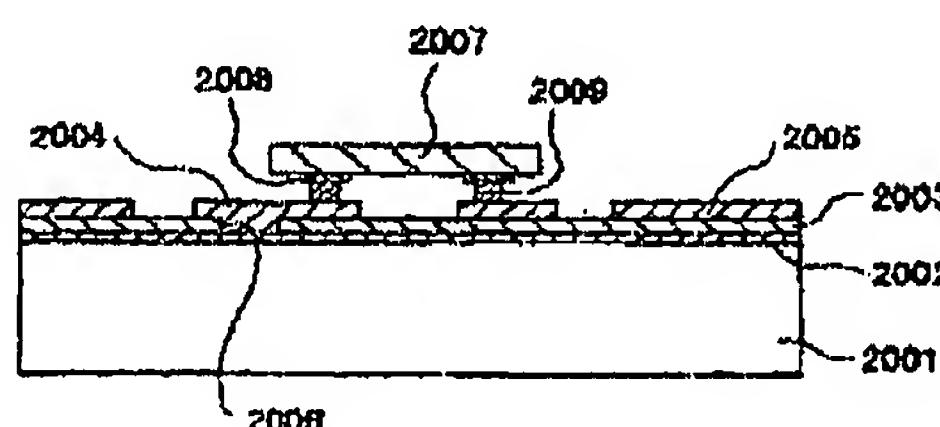
【図9】



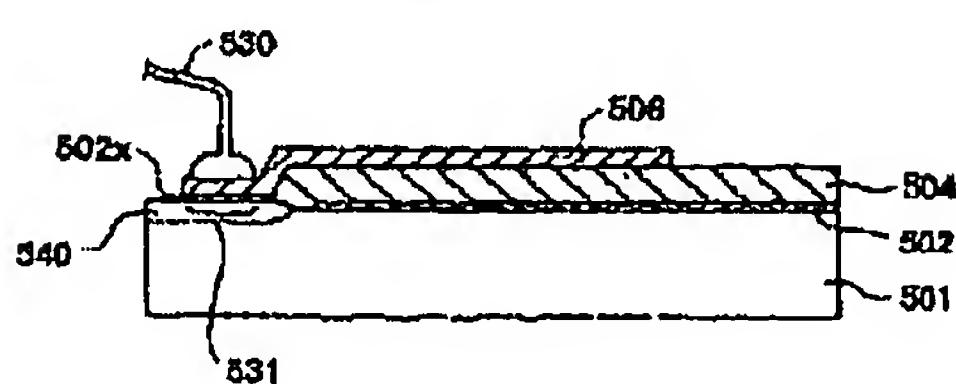
【図13】



【図15】



【図14】



フロントページの続き

(72) 発明者 井上 鑑  
大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(72) 発明者 吉田 旗幸  
大阪府門真市大字門真1008番地 松下電器  
産業株式会社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record.**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**